



Atty. Dkt. No. 016887-1103

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Noboru NODA et al.
Title: SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME
Appl. No.: 10/813,431
Filing Date: 03/31/2004
Examiner: Unassigned
Art Unit: 2811

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2003-097719 filed 04/01/2003.

Respectfully submitted,

Date September 3, 2004

By

FOLEY & LARDNER LLP
Customer Number: 22428
Telephone: (202) 945-6162
Facsimile: (202) 672-5399

Pavan K. Agarwal
Attorney for Applicant
Registration No. 40,888

10813431

-09-03-04

BEST AVAILABLE COPY

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 日
Date of Application:

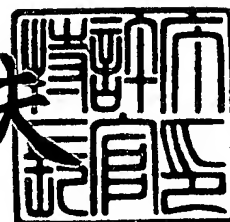
出 願 番 号 特 願 2 0 0 3 - 0 9 7 7 1 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 7 7 1 9]

願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 5 月 1 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

出 証 番 号 出 証 特 2 0 0 4 - 3 0 3 8 6 6 9

【書類名】 特許願

【整理番号】 ADB0230481

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/72

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 野田 昇

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 増田 敬太

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第 1 導電型コレクタ領域と、
前記第 1 導電型コレクタ領域上に形成された第 2 導電型ベース領域と、
前記第 2 導電型ベース領域の表面領域の一部に形成されたノンドープ層形成領域と、
前記ノンドープ層形成領域に、底部が前記第 2 導電型ベース領域に達するよう形成された第 1 導電型エミッタ領域と、
前記第 2 導電型ベース領域上に形成された第 2 導電型ベース引き出し領域と、
前記第 2 導電型ベース引き出し領域上部及び側部と、前記ノンドープ層形成領域上に形成された絶縁膜と、
前記第 1 導電型エミッタ領域上に形成された第 1 導電型エミッタ引き出し領域とを具備したことを特徴とする半導体装置。

【請求項 2】

前記ノンドープ層形成領域は、シリコンをエピタキシャル成長させることによって形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記絶縁膜は、前記第 2 導電型ベース引き出し領域の上部及び側部と前記ノンドープ層形成領域上に形成された第 1 の絶縁膜と、
前記ノンドープ層形成領域上の前記第 1 の絶縁膜上にサイドウォールとして形成された第 2 の絶縁膜とによって構成されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 の絶縁膜は酸化膜であり、前記第 2 の絶縁膜は窒化膜であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記第 2 導電型ベース引き出し領域及び前記第 1 導電型エミッタ引き出し領域

は、ポリシリコンによって形成されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に高周波で使用されるバイポーラトランジスタを備えた半導体装置に関する。

【0 0 0 2】

【従来の技術】

高周波で使用される半導体装置では、周波数特性の向上やノイズ特性の向上が強く求められている。例えば、2 GHz 以上の高周波で使用される VCO（電圧制御型発信器）などで用いられている、高性能なバイポーラトランジスタでは、周波数特性を向上させるために、セルフアライン構造を採用して素子サイズを微細化したり、ベース領域を狭く形成してコレクターベース接合面積を縮小することによって、周波数特性の向上をはかっている。また、熱処理を低減して浅い接合を形成することによって、周波数特性の向上をはかっている。

【0 0 0 3】

図 7 に、従来の技術の NPN バイポーラトランジスタを示す。P 型半導体基板 7 0 1 上には、N 型埋め込み層 7 0 2 が形成されており、前記 N 型埋め込み層 7 0 2 上には、N 型コレクタ領域 7 0 3 が形成されている。前記 N 型コレクタ領域 7 0 3 上には P 型ベース領域 7 0 4 及び素子分離領域 7 0 5 が形成されている。前記 P 型ベース領域 7 0 4 の表面領域の一部には、N 型エミッタ領域 7 0 6 が形成されている。前記 P 型ベース領域 7 0 4 上及び前記素子分離領域 7 0 5 上には、前記 P 型ベース領域 7 0 4 の一部及び前記 N 型エミッタ領域 7 0 6 が露出するような第 1 の開口部 7 0 7 を有する P 型ベース引き出し領域 7 0 8 が形成されている。前記 P 型ベース引き出し領域 7 0 8 の上部及び側部と、前記 P 型ベース領域 7 0 4 上には、絶縁膜 7 0 9 が形成されている。前記 N 型エミッタ領域 7 0 6 上には、N 型エミッタ引き出し領域 7 1 0 が形成されており、前記絶縁膜 7 0 9 上に前記 N 型エミッタ引き出し領域 7 1 0 の端部が延在して形成されている。

【0004】

続いて、図8乃至図11に、従来の技術のNPNバイポーラトランジスタの製造方法を示す。

【0005】

図8に示すように、P型半導体基板801上にN型埋め込み層802を形成する。続いて、前記N型埋め込み層802上にN型コレクタ領域803を形成する。続いて、前記N型コレクタ領域803上にP型ベース領域804を形成する。前記P型ベース領域804に素子分離領域805を形成し、バイポーラトランジスタの活性領域を分離する。

【0006】

次に、図9に示すように、前記素子分離領域805及び前記P型ベース領域804上に、前記P型ベース領域804の一部が露出するような開口部806を有するポリシリコンを形成し、前記ポリシリコンが形成されている領域に、P型不純物を導入し、P型ベース引き出し領域807を形成する。

【0007】

次に、図10に示すように、前記P型ベース引き出し領域807上及び前記P型ベース領域上に絶縁膜808を形成し、続いて、前記絶縁膜808の一部をエッチングして、前記P型ベース領域804の一部を露出させる。

【0008】

次に、図11に示すように、露出した前記P型ベース領域804上にポリシリコンを形成する。続いて、前記ポリシリコンが形成されている領域にN型不純物を導入し、前記ポリシリコンからなるN型エミッタ引き出し領域810を形成するとともに、前記P型ベース領域804の一部にN型エミッタ領域809を形成する。この種のバイポーラトランジスタは、特許文献1に記載されている。

【0009】**【特許文献1】**

特開平11-233523号公報（図1）

【0010】**【発明が解決しようとする課題】**

上記した半導体装置及びその製造方法では、数GHzの高周波領域で抵抗体から発生する熱によるノイズが主に生じ、数Hz～数MHzの低周波領域では界面領域におけるキャリアの再結合によるノイズが主に生じる。再結合によるノイズは、界面領域や格子欠陥でキャリアがトラップされ、再結合することによって生じる雑音である。この低周波ノイズである再結合雑音は、高周波の発振周波数付近でも、ノイズとして現れる。また、この再結合雑音は、界面領域のうち、特に半導体と絶縁膜の界面領域で顕著に発生する。

【0011】

図7に、ベース電流 I_B 及びコレクタ電流 I_C を矢印で示した。ベース電流 I_B の一部は、前記P型ベース領域704と前記絶縁膜709の界面領域を経由して前記N型エミッタ領域706及び前記N型エミッタ引き出し領域710に流れている。したがって、前記P型ベース領域704と前記絶縁膜709の界面領域付近では、低周波ノイズである再結合雑音などのノイズが生じるため、ノイズ特性が劣化するという問題がある。

【0012】

本発明は、上記した問題点を解決すべくなされたもので、界面領域における再結合雑音などのノイズを低減し、ノイズ特性を向上させることが可能となる半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記した課題を解決するための本発明の半導体装置の一形態は、半導体基板上に形成された第1導電型コレクタ領域と、
前記第1導電型コレクタ領域上に形成された第2導電型ベース領域と、
前記第2導電型ベース領域の表面領域の一部に形成されたノンドープ層形成領域と、
前記ノンドープ層形成領域に、底部が前記第2導電型ベース領域に達するよう形成された第1導電型エミッタ領域と、
前記第2導電型ベース領域上に形成された第2導電型ベース引き出し領域と、
前記第2導電型ベース引き出し領域上部及び側部と、前記ノンドープ層形成領域

上に形成された絶縁膜と、
前記第1導電型エミッタ領域上に形成された第1導電型エミッタ引き出し領域とを具備したことを特徴としている。

【0014】

本発明の一形態によれば、P型ベース領域の表面領域に高抵抗な半導体領域を形成することによって、半導体と絶縁膜の界面領域を高抵抗に形成することができるため、キャリアは界面領域を流れず、半導体のバルク領域を流れる。したがって、界面領域における再結合雑音などのノイズを低減し、ノイズ特性を向上させることが可能となる半導体装置を提供することができる。

【0015】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

（第1の実施の形態）

図1に、本実施の形態のNPNバイポーラトランジスタの要部断面図を示す。P型の半導体基板101上にN⁺型埋め込み層102が形成されており、前記N⁺型埋め込み層102上には、AsなどのN型不純物を導入したN型コレクタ領域103が形成されている。前記N型コレクタ領域103上には、BなどのP型不純物を導入したP型ベース領域104及び酸化膜などの絶縁膜からなる素子分離領域105が形成されている。

【0016】

前記P型ベース領域104の表面領域の一部には、高抵抗な半導体領域として、不純物が添加されていない真性半導体のノンドーブ層形成領域106が形成され、前記ノンドーブ層形成領域106の一部には、底部が前記P型ベース領域104に達するN型エミッタ領域107が形成されている。前記P型ベース領域104上及び前記素子分離領域105上には、前記ノンドーブ層形成領域106及び前記N型エミッタ領域107が露出するような第1の開口部108を有するP型ベース引き出し領域109が形成されている。

【0017】

前記P型ベース引き出し領域109の上部及び側部と、前記ノンドーブ層形成

領域 106 上には、シリコン酸化膜などの第 1 の絶縁膜 110 が形成されている。前記ノンドープ層形成領域 106 上の前記第 1 の絶縁膜 110 上には、サイドウォールとして、シリコン窒化膜などの第 2 の絶縁膜 111 が形成されている。前記 N 型エミッタ領域 107 上には、N 型エミッタ引き出し領域 112 が形成されている。その端部は前記第 1 の絶縁膜 110 上に延在しているが、特にこれに限定しない。

【0018】

本実施の形態によれば、前記第 1 の絶縁膜 110 下の半導体は、ノンドープ層形成領域 106 であり、半導体と絶縁膜の界面領域は高抵抗に形成されているため、キャリアは界面領域を流れず、半導体のバルク領域を流れる。したがって、界面領域における再結合雑音などのノイズを低減し、ノイズ特性を向上させることができる。

【0019】

次に、図 2 乃至図 5 は、本実施の形態の NPN バイポーラトランジスタの製造方法の工程を示す要部断面図である。

【0020】

図 2 に示すように、P 型のシリコン半導体基板 201 上に N+ 型埋め込み層 202 を形成する。続いて、Sb（アンチモン）などの N 型不純物を添加しながらシリコンをエピタキシャル成長させ、N 型コレクタ領域 203 を形成する。前記 N 型コレクタ領域 203 上に、B などの P 型不純物を添加しながらシリコンをエピタキシャル成長させ、P 型ベース領域 204 を形成する。続いて、前記 P 型ベース領域 204 上に、シリコンをエピタキシャル成長させ（不純物は添加しない）、ノンドープ層形成領域（シリコンエピタキシャル層）205 を形成する。

【0021】

また、前記 P 型ベース領域 204 を形成する際、シリコンに P 型不純物を添加しながら、エピタキシャル成長させて形成しているが、シリコン半導体に P 型不純物をイオン注入し、熱処理を行って形成する方法でもよい。

【0022】

次に図 3 に示すように、素子を分離するための素子分離領域 206 を前記 N 型

コレクタ領域上に形成する。前記素子分離領域 206 は、例えば、シリコン酸化膜によって形成されている。LOCOS で形成されていてもよい。続いて、前記ノンドープ層形成領域 205 上及び前記素子分離領域 206 上に、前記ノンドープ層形成領域 205 の一部が露出するような第 1 の開口部 207 を有する第 1 のポリシリコンパターン 208 を形成し、前記第 1 のポリシリコンパターン 208 及び前記第 1 のポリシリコンパターン 208 下の前記ノンドープ層形成領域 205 に B などの P 型不純物をイオン注入する。

【0023】

次に図 4 に示すように、前記第 1 のポリシリコンパターン 208 上及び前記ノンドープ層形成領域 205 上に、シリコン酸化膜などの第 1 の絶縁膜 209 を形成する。次に、前記第 1 の絶縁膜 209 上にシリコン窒化膜などの第 2 の絶縁膜 210 を形成し、反応性イオンエッチングによって前記第 2 の絶縁膜 210 をエッチングし、前記第 1 の開口部 207 の内側にサイドウォールを形成する。続いて、ウェットエッチングによって前記第 2 の絶縁膜 210 をマスクとして前記第 1 の絶縁膜 209 をエッチングし、前記ノンドープ層形成領域 205 を露出させるような第 2 の開口部 211 を形成する。前記ノンドープ層形成領域 205 を露出させる工程では、エッチングによって前記ノンドープ層形成領域 205 の表面に格子欠陥などのダメージが生じることによるノイズの発生を抑止するため、ウェットエッチングを用いることが好ましい。

【0024】

ここでは、エッチング選択比の異なる第 1 の絶縁膜及び第 2 の絶縁膜を用いているが、同じ材料を用いて一層の絶縁膜として形成してもよい。この場合、前記第 1 のポリシリコンパターン 208 上及び前記ノンドープ層形成領域 205 上に、シリコン酸化膜などの絶縁膜を形成し、エッチバックを行うことによって、前記ノンドープ層形成領域 205 の表面を露出する。または、この絶縁膜上にレジストパターンを形成し、エッチングを行うことによって、前記ノンドープ層形成領域 205 の表面を露出する。

【0025】

次に図 5 に示すように、前記第 2 の開口部 211 を埋めるように、第 2 のポリ

シリコンパターン 212 を形成し、続いて前記第 2 のポリシリコンパターン 212 の形成された領域に As などの N 型不純物をイオン注入する。前記第 2 のポリシリコンパターン 212 は、その端部が前記第 1 の絶縁膜 209 上に形成されているが、特にこれに限定しない。次に、熱処理を行い、前記第 1 のポリシリコンパターン 208 によって P 型ベース引き出し領域 213 を形成するとともに、前記第 2 のポリシリコンパターン 212 によって N 型エミッタ引き出し領域 214 を形成する。前記 P 型ベース引き出し領域 213 下のノンドープ層形成領域は、P 型不純物が拡散することによって、P 型ベース領域 204 の一部を構成している。また、前記 N 型エミッタ引き出し領域 214 下のノンドープ層形成領域は、N 型不純物が拡散することによって、N 型エミッタ領域 215 を構成している。熱処理は、イオン注入後に行ってもかまわない。ただし、熱処理を複数回行うと、拡散層がその都度拡散してしまい、所定の大きさで製造することができなくなる、または、微細化の妨げとなることがある。したがって、熱処理は、必要最低限の時間、回数で行うことが好ましい。

【0026】

ここで、第 1 または第 2 のポリシリコンパターン 208, 212 から P 型ベース引き出し領域 213 または N 型エミッタ引き出し領域 214 を形成する際、ポリシリコンのパターンを形成した後、P 型または N 型不純物をイオン注入し、熱処理を行う方法を記載したが、すでに不純物を導入したポリシリコンを堆積して形成してもよい。また、シリコンに不純物を添加しながらエピタキシャル成長させて形成してもよい。

【0027】

次に、所望の領域に N 型コレクタ引き出し領域を形成し（図示しない）、前記 N 型コレクタ引き出し領域、前記 P 型ベース引き出し領域及び前記 N 型エミッタ引き出し領域上に、コレクタ電極、ベース電極及びエミッタ電極を形成する（図示しない）。図 6 に、図 1 の A-A' における不純物濃度を模式的に示す。

【0028】

本実施の形態によれば、前記第 1 の絶縁膜 110 と前記第 1 の絶縁膜 110 下の半導体との界面領域は高抵抗であるため、キャリアは界面領域を流れず、半導

体のバルク領域を流れる。したがって、界面領域における再結合雑音などのノイズを低減し、ノイズ特性を向上させることができる半導体装置を製造することができる。なお、半導体と絶縁膜の界面領域に形成されるノンドープ層形成領域は、比較的到高抵抗な半導体領域であればよく、他の領域から拡散した微量の不純物が一部に導入されていても、十分効果を有する。また、不純物濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 以下の高抵抗な半導体領域であっても、効果を有する。

【0029】

本実施の形態では、コレクタ領域及びベース領域をシリコン層で形成しているが、SiGe層で形成してもかまわない。

【0030】

以上、第1の実施の形態について説明したが、本発明は特にこの形態に限定されず、その要旨を逸脱しない範囲で変形して適用することが可能である。さらに、N型とP型を逆に形成し、PNPバイポーラトランジスタに適用することも可能である。

【0031】

【発明の効果】

以上詳述したように、本発明によれば、P型ベース領域の表面領域にノンドープ層形成領域を形成することによって、半導体と絶縁膜の界面領域を高抵抗に形成することができるため、キャリアは界面領域を流れず、半導体のバルク領域を流れる。したがって、界面領域における再結合雑音などのノイズを低減し、ノイズ特性を向上させることが可能となる半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1及び第2の実施の形態に係る半導体装置の要部断面図である。

【図2】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図3】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図4】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示

す要部断面図である。

【図 5】 本発明の第 1 の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図 6】 本発明の第 1 の実施の形態の A-A' における不純物濃度を模式的に示す図である。

【図 7】 従来の技術の半導体装置の要部断面図である。

【図 8】 従来の技術の半導体装置の製造方法の一工程を示す要部断面図である。

。

【図 9】 従来の技術の半導体装置の製造方法の一工程を示す要部断面図である。

。

【図 10】 従来の技術の半導体装置の製造方法の一工程を示す要部断面図である。

【図 11】 従来の技術の半導体装置の製造方法の一工程を示す要部断面図である。

【符号の説明】

- 101, 201 半導体基板
- 102, 202 N⁺型埋め込み層
- 103, 203, 703, 803 N型コレクタ領域
- 104, 204, 704, 804 P型ベース領域
- 105, 206, 705, 805 素子分離領域
- 106, 205 ノンドープ層形成領域
- 107, 215, 706, 809 N型エミッタ領域
- 108, 207, 707 第 1 の開口部
- 109, 213, 708, 807 P型ベース引き出し領域
- 110, 209 第 1 の絶縁膜
- 111, 210 第 2 の絶縁膜
- 112, 214, 710, 810 N型エミッタ引き出し領域
- 208 第 1 のポリシリコンパターン

2 1 1 第 2 の開口部

2 1 2 第 2 のポリシリコンパターン

7 0 1, 8 0 1 P 型半導体基板

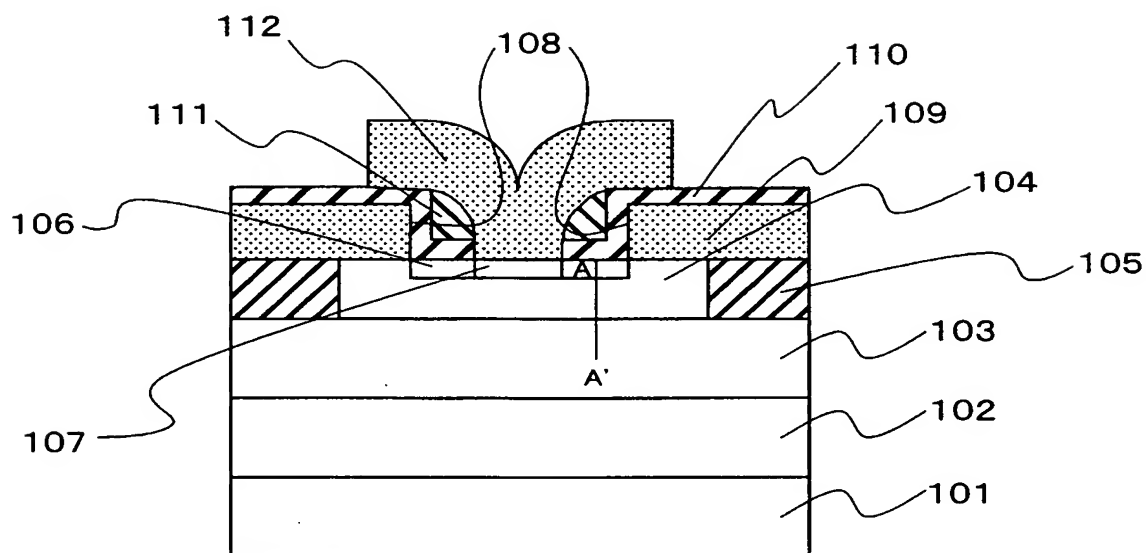
7 0 2, 8 0 2 N 型埋め込み層

7 0 9, 8 0 8 絶縁膜

8 0 6 開口部

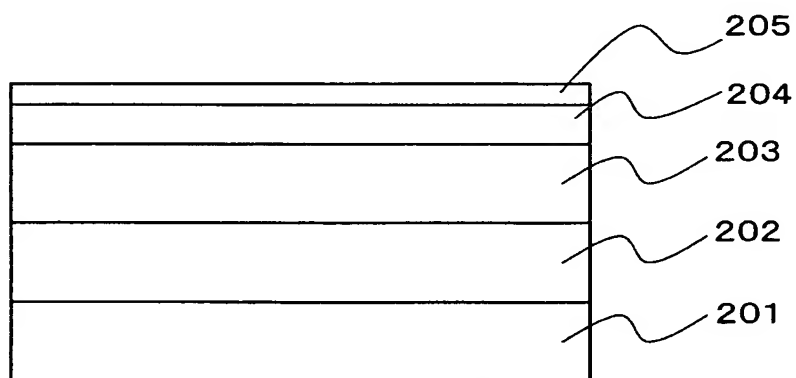
【書類名】 図面

【図 1】



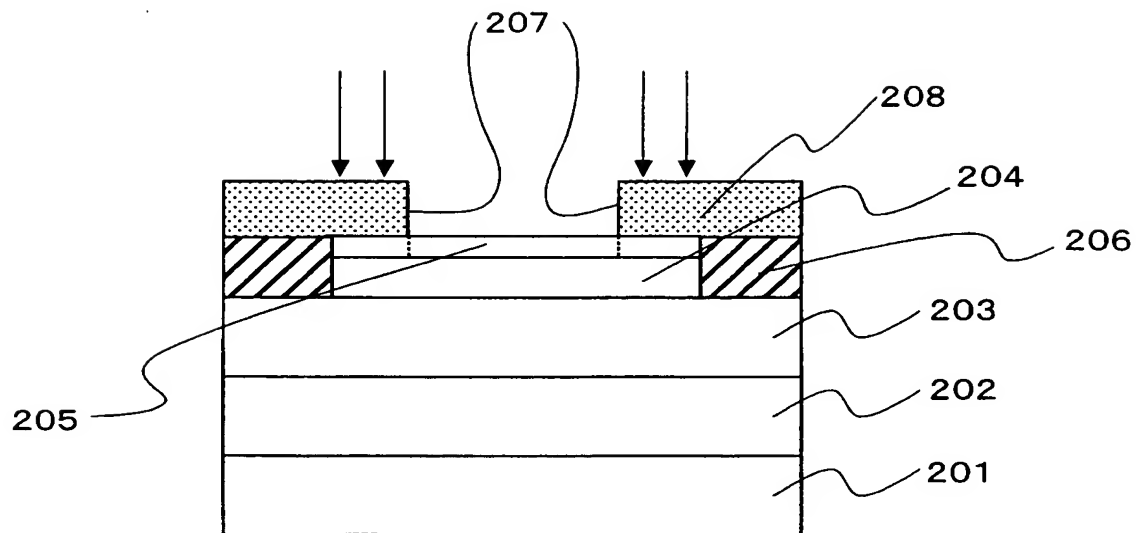
- | | | | |
|-----|-----------------------|-----|--------------|
| 101 | 半導体基板 | 107 | N型エミッタ領域 |
| 102 | N ⁺ 型埋め込み層 | 108 | 第1の開口部 |
| 103 | N型コレクタ領域 | 109 | P型ベース引き出し領域 |
| 104 | P型ベース領域 | 110 | 第1の絶縁膜 |
| 105 | 素子分離領域 | 111 | 第2の絶縁膜 |
| 106 | ノドープ層形成領域 | 112 | N型エミッタ引き出し領域 |

【図 2】



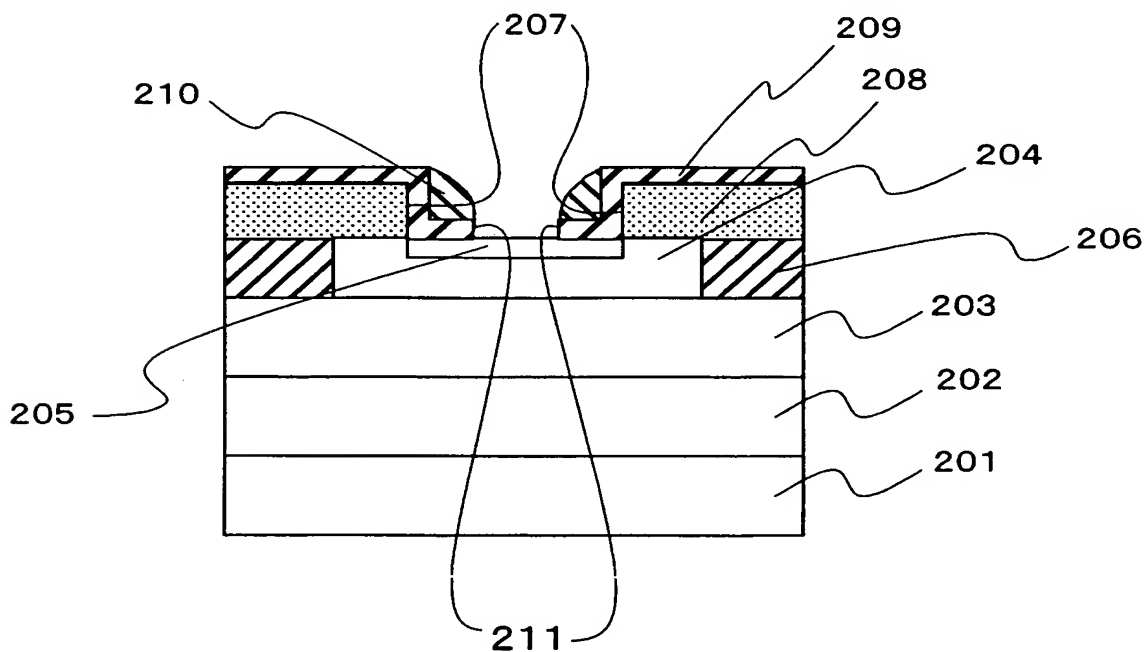
- | | |
|-----|-----------------------|
| 201 | 半導体基板 |
| 202 | N ⁺ 型埋め込み層 |
| 203 | N型コレクタ領域 |
| 204 | P型ベース領域 |
| 205 | ノドープ層形成領域 |

【図 3】



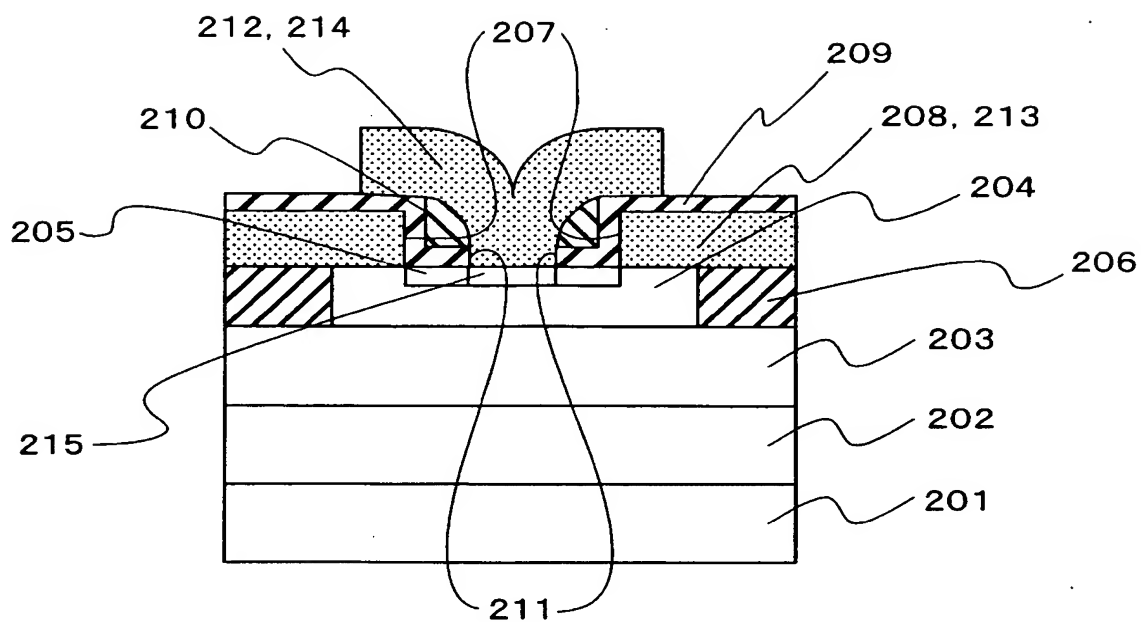
- | | | | |
|-----|-----------------------|-----|---------------|
| 201 | 半導体基板 | 205 | ノドープ層形成領域 |
| 202 | N ⁺ 型埋め込み層 | 206 | 素子分離領域 |
| 203 | N型コレクタ領域 | 207 | 第1の開口部 |
| 204 | P型ベース領域 | 208 | 第1のポリシリコンパターン |

【図 4】



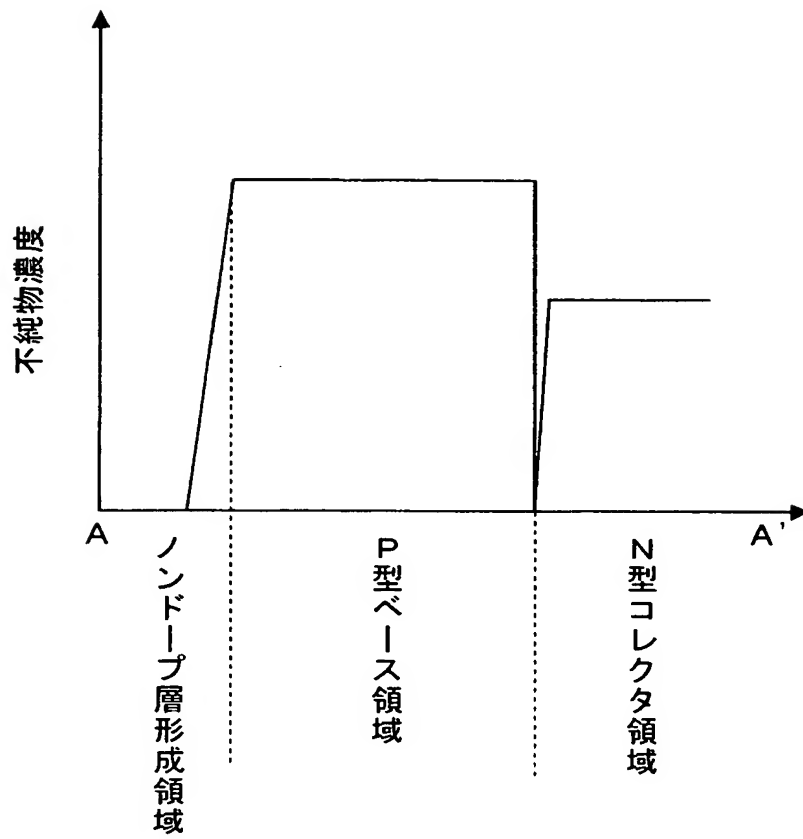
- | | | | |
|-----|-----------------------|-----|---------------|
| 201 | 半導体基板 | 207 | 第1の開口部 |
| 202 | N ⁺ 型埋め込み層 | 208 | 第1のポリシリコンパターン |
| 203 | N型コレクタ領域 | 209 | 第1の絶縁膜 |
| 204 | P型ベース領域 | 210 | 第2の絶縁膜 |
| 205 | ノドープ層形成領域 | | |
| 206 | 素子分離領域 | | |

【図5】

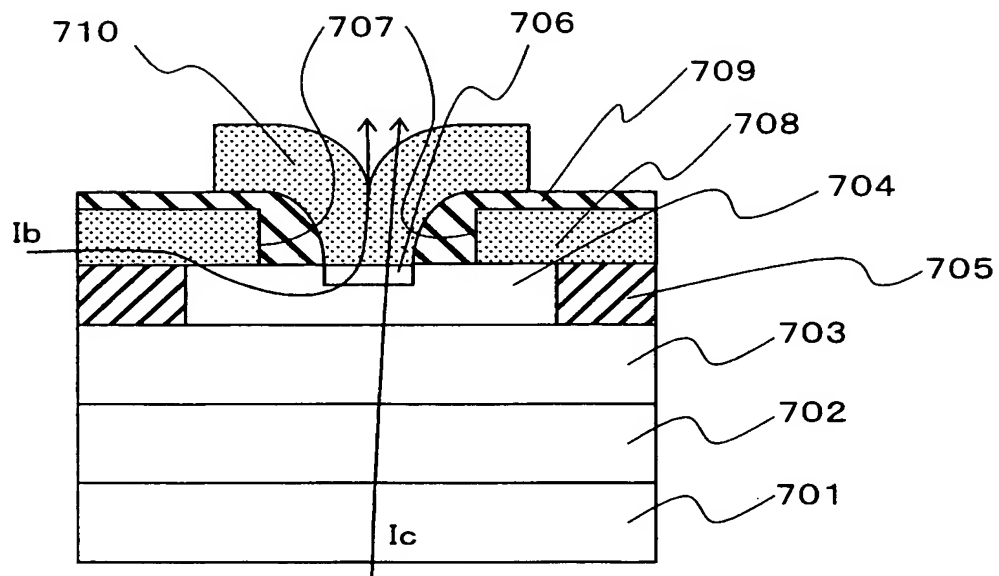


- | | | | |
|-----|-----------------------|-----|---------------|
| 201 | 半導体基板 | 209 | 第1の絶縁膜 |
| 202 | N ⁺ 型埋め込み層 | 210 | 第2の絶縁膜 |
| 203 | N型コレクタ領域 | 211 | 第2の開口部 |
| 204 | P型ベース領域 | 212 | 第2のポリシリコンパターン |
| 205 | ノドープ層形成領域 | 213 | P型ベース引き出し領域 |
| 206 | 素子分離領域 | 214 | N型エミッタ引き出し領域 |
| 207 | 第1の開口部 | 215 | N型エミッタ領域 |
| 208 | 第1のポリシリコンパターン | | |

【図 6】

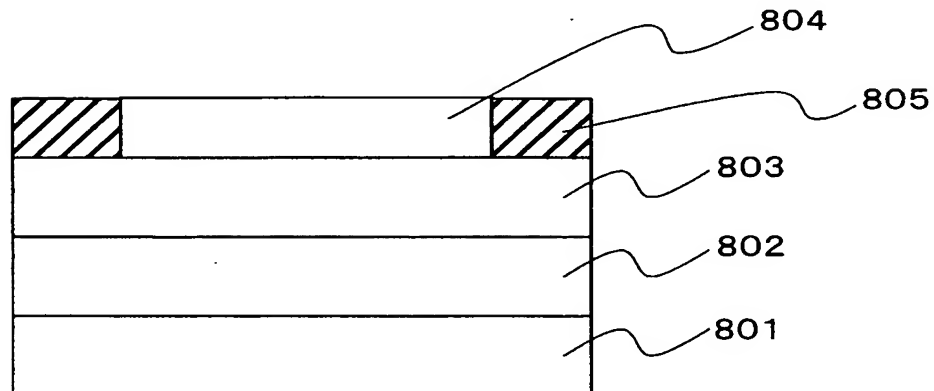


【図 7】



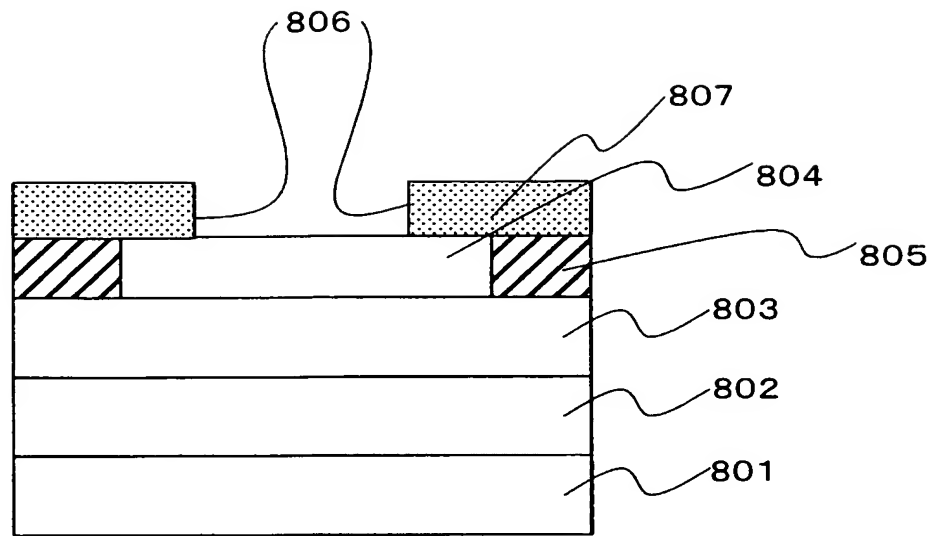
- | | | | |
|-----|----------|-----|--------------|
| 701 | P型半導体基板 | 706 | N型エミッタ領域 |
| 702 | N型埋め込み層 | 707 | 第1の開口部 |
| 703 | N型コレクタ領域 | 708 | P型ベース引き出し領域 |
| 704 | P型ベース領域 | 709 | 絶縁膜 |
| 705 | 素子分離領域 | 710 | N型エミッタ引き出し領域 |

【図 8】



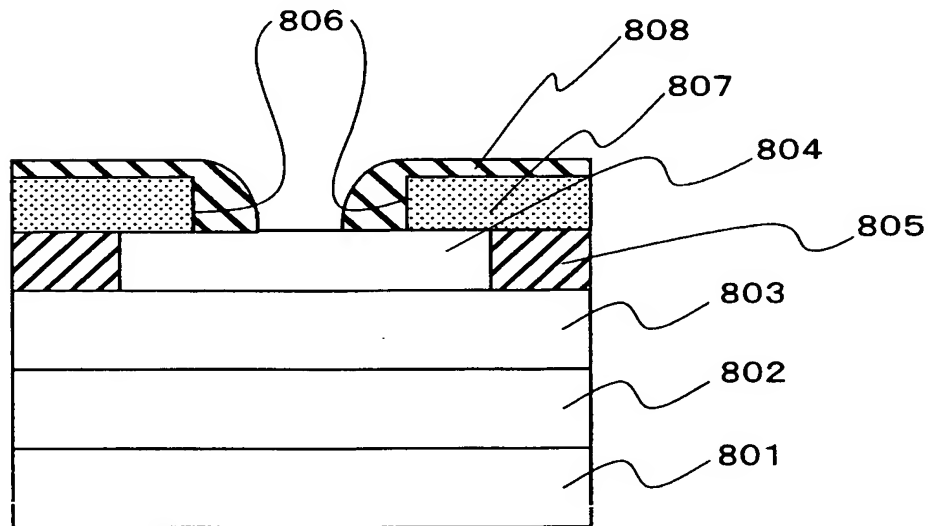
- | | |
|-----|----------|
| 801 | P型半導体基板 |
| 802 | N型埋め込み層 |
| 803 | N型コレクタ領域 |
| 804 | P型ベース領域 |
| 805 | 素子分離領域 |

【図 9】



- | | | | |
|-----|----------|-----|-------------|
| 801 | P型半導体基板 | 805 | 素子分離領域 |
| 802 | N型埋め込み層 | 806 | 開口部 |
| 803 | N型コレクタ領域 | 807 | P型ベース引き出し領域 |
| 804 | P型ベース領域 | | |

【図 10】



- | | | | |
|-----|----------|-----|-------------|
| 801 | P型半導体基板 | 805 | 素子分離領域 |
| 802 | N型埋め込み層 | 806 | 開口部 |
| 803 | N型コレクタ領域 | 807 | P型ベース引き出し領域 |
| 804 | P型ベース領域 | 808 | 絶縁膜 |

【書類名】 要約書

【要約】

【課題】 半導体と絶縁膜の界面領域における再結合雑音などのノイズを低減し、ノイズ特性を向上させることが可能な半導体装置を提供する。

【解決手段】 第 1 導電型コレクタ領域 1 0 3 と、前記第 1 導電型コレクタ領域 1 0 3 上の第 2 導電型ベース領域 1 0 4 と、前記第 2 導電型ベース領域 1 0 4 の表面領域の一部に形成されたノンドープ層形成領域 1 0 6 と、前記ノンドープ層形成領域 1 0 6 に、底部が前記第 2 導電型ベース領域 1 0 4 に達するよう形成された第 1 導電型エミッタ領域 1 0 7 と、前記第 2 導電型ベース領域 1 0 4 上の第 2 導電型ベース引き出し領域 1 0 9 と、前記第 2 導電型ベース引き出し領域 1 0 9 上部及び側部と、前記ノンドープ層形成領域 1 0 6 上に形成された絶縁膜 1 1 0, 1 1 1 と、前記第 1 導電型エミッタ領域 1 0 7 上に形成された第 1 導電型エミッタ引き出し領域 1 1 2 とを具備した半導体装置である。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 9 7 7 1 9
受付番号	5 0 3 0 0 5 4 0 1 5 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 2 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月 1日
-------	-------------

次頁無

特願 2 0 0 3 - 0 9 7 7 1 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝